

Neuartiges Verfahren für Test und Fehlersuche eingebetteter vernetzter Computersysteme im Automobil

Sinn, Zweck und Ziel:

Steigende Anzahl und Komplexität von im Automobil verbauten eingebetteten und vernetzten Computersystemen bedingen radikal neue Ansätze zu Test und Fehlersuche.

Ausgangssituation:

Bereits jetzt wird in Automobilen eine hohe Anzahl von elektronischen Steuergeräten (ECUs) verbaut, die über diverse Netzwerke miteinander verbunden sind. Die steigenden Anforderungen an Sicherheit, Effizienz und Komfort steigern die Anzahl sowie die Komplexität dieser ECUs (z.B. durch Multi-Core-Architekturen, System-on-Chips). Besonders Augenmerk liegt dabei auch auf Qualität und Zuverlässigkeit der auf diesen Systemen laufenden Software, besonders wenn eine räumlich verteilte Aufgabe koordiniert oder gemeinsam erfüllt werden muß (z.B. Steuerung der Bremse bei jedem einzelnen Rad).

Problemstellung:

Traditionelle Ansätze für Test und Fehlersuche eingebetteter Computersysteme (siehe Bild, Teil a) nehmen keine Rücksicht auf den verteilten Charakter heutiger und besonders zukünftiger Applikationen. Eine Kabelverbindung („Debugger“) zu jeder beteiligten ECU ist oft unumgänglich, ein Zugang zu bereits verbauten ECUs ist dabei nicht immer möglich. Eine zeitliche oder funktionale Koordination von mehreren ECUs im Kontext von Test und Fehlersuche ist nicht vorgesehen. Unnötige Folgen sind Elektronikpannen und teure rufschädigende Rückholaktionen.

Lösungsvorschlag:

Das vorgeschlagene neue Konzept für Test und Fehlersuche vernetzter eingebetteter System beruht im Wesentlichen auf (i) der Übertragung von Test- und Diagnosedaten am bestehendes Netzwerk und (ii) auf der Synchronisation der lokalen Computeruhren in den einzelnen eingebetteten Systemen, wodurch eine automobilweite globale Zeitbasis realisiert wird. Damit können alle Aktionen für Test und Fehlersuche (Trace, Monitoring, Programmstart und -stop, Replay, Fault Injection) im gesamten Automobil zeitlich koordiniert und von einer zentralen Stelle aus gesteuert werden (siehe Bild, Teil b).

Innovationsgrad

Rein softwarebasierte Ansätze bieten nicht die notwendige Genauigkeit um beispielsweise Aktionen für Test und Fehlersuche auf Instruktionsebene der einzelnen Recheneinheiten zu realisieren. Die vorgeschlagene Realisierung des an der FH Technikum Wien entwickelten neuartigen Konzepts auf Hardwareebene erlaubt es hingegen die Aktionen von Test und Fehlersuche in einem Genauigkeitsbereich von bis zu wenigen Nanosekunden systemweit zu koordinieren. Dies ermöglicht neue Szenarien für Test und Fehlersuche, die mit traditionellen Ansätzen schwer bzw. überhaupt nicht zu realisieren sind.

Reifegrad

Das neue Konzept wurde unter der Nummer WO2009097637(A1) patentiert. Eine Prototypenimplementierung des Konzepts auf Basis programmierbarer Logikbausteine (PLDs) samt Einbettung in ein Demonstratorsystem ist bereits vorhanden. Die Entwicklung eines Silizium-Prototyps (Standardzellen-ASIC) ist derzeit im Rahmen eines geförderten F&E-Projekts im Gange. Auch die Integration des Konzepts in eine State-of-the-Art Entwicklungsumgebung (ECLIPSE IDE) wurde bereits durchgeführt. Die existierenden Vorarbeiten ermöglichen einem Halbleiterhersteller eine Integration in Siliziumchips mit geringem Aufwand.

Wirtschaftliches Potenzial

Systematisches Investieren in Test & Debugging wird bis dato zu stiefmütterlich behandelt. Eine Berücksichtigung des vorgeschlagenen Konzeptes wäre im Rahmen von AUTOSAR sinnvoll. Bei Einsatz des Konzeptes auf Chipebene erfolgt eine Ersparnis durch zuverlässigere, weil systematischer getestete Software; durch zufriedenerer Kunden aufgrund von weniger Elektronikpannen; durch vermiedene Kosten von teuren Rückholaktionen. Die Kosten belaufen sich bei Integration durch Chiphersteller auf wenige Cent pro Recheneinheit (ECU). Aufwände für Entwicklungen sind durch Vorarbeiten minimiert (s. Reifegrad).

Effizienzsteigerung

Bisherige Prozesse für Test und Fehlersuche erfahren durch das vorgeschlagene Konzept eine Effizienzsteigerung allein durch die Vereinfachung des Zugangs über das Netzwerk. Abfahren von Testszenarien und koordiniertes Nachstellen von Fehlerfällen wird durch die zugrundeliegende systemweite Zeitbasis erstmals auf systematische und nachvollziehbare Weise möglich. Das Konzept ist im Wesentlichen auf alle elektronischen Komponenten anwendbar, die Studien zufolge heutzutage über 90% aller Innovationen im Automobil ausmachen.

Flexibilitätserhöhung

Bei Integration in die verwendeten Halbleiterbausteine bietet das vorgeschlagene Konzept die höchste Flexibilität. Das Konzept ist grundsätzlich unabhängig von der verwendeten Netzwerktechnologie (FlexRay, CAN, MOST, LIN, Ethernet, ...) und der verwendeten Plattform (PowerPC, ARM, ...). Existierende Herstellungsprozesse müssen nicht verändert werden. Ein Zugang zur internen Netzwerkinfrastruktur des Automobils ist heute bereits standardmäßig vorhanden.

